

SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

Publication number: JP4007858

Publication date: 1992-01-13

Inventor: SADAKATA TOSHIMASA; HATSUYA AKIRA

Applicant: SANYO ELECTRIC CO

Classification:

- international: H01L29/73; H01L21/3205; H01L21/331; H01L21/768;
H01L21/8249; H01L23/522; H01L27/06; H01L29/732;
H01L21/02; H01L21/70; H01L23/52; H01L27/06;
H01L29/66; (IPC1-7): H01L21/90

- European:

Application number: JP19900109102 19900425

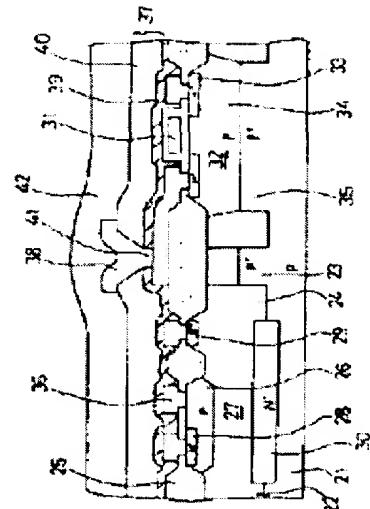
Priority number(s): JP19900109102 19900425

[Report a data error here](#)

Abstract of JP4007858

PURPOSE: To obtain a very flat surface by constituting an interlayer insulating film as a laminated layer structure of a silicon nitride film and an insulating polyimide film.

CONSTITUTION: A silicon nitride film 39 covering a first wiring layer 36, a polyimide based insulating film 40, and a second wiring layer 38 stretching on the surface of the film 40 and connected with the layer 36 are provided. Hence the whole surface of a substrate 21 except the aperture of a through hole 41 can be covered with the silicon nitride film 39, so that a MOS part can be given sufficient passivation effect. Further, by forming the polyimide based insulating film 40 on the silicon nitride film 39, a step-difference caused by a first wiring layer 36, a gate electrode 31, etc., can be sufficiently flattened. By using the polyimide based insulating film 40 as a mask, the silicon nitride film 39 is etched, and a microminiaturized through hole 41 whose side surface is turned into a taper shape can be formed. Thereby the process is simplified, and the manufacturing cost can be reduced.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報 (A)

平4-7858

⑬ Int. Cl. 5

H 01 L 21/90
21/3205
21/331
27/06
29/73

識別記号

府内整理番号

M 6810-4M

⑬ 公開 平成4年(1992)1月13日

6810-4M H 01 L 21/88
7735-4M 27/06
7735-4M 29/72321 K
F

審査請求 未請求 請求項の数 7 (全6頁)

⑭ 発明の名称 半導体集積回路とその製造方法

⑮ 特 願 平2-109102

⑯ 出 願 平2(1990)4月25日

⑰ 発明者 定方 利正 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑰ 発明者 初谷 明 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑰ 出願人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ⑰ 代理人 弁理士 西野 卓嗣 外2名

明細書

1. 発明の名称

半導体集積回路とその製造方法

2. 特許請求の範囲

(1) 同一半導体基板の表面に少なくともMIS

型素子を集積化した半導体集積回路において、

各素子の不純物拡散領域にコンタクトする第1配線層と、

前記第1配線層を覆うように全面に形成したシリコン窒化膜と、

前記シリコン窒化膜の上に形成したポリイミド系絶縁膜と、

前記シリコン窒化膜と前記ポリイミド系絶縁膜とを層間絶縁膜とし前記ポリイミド系絶縁膜上を延在して前記第1配線層と接続される第2配線層とを具備することを特徴とする半導体集積回路。

(2) 前記シリコン窒化膜はプラズマCVD法によるものであることを特徴とする請求項第1項に記載の半導体集積回路。

(3) 多層配線を有する半導体集積回路の製造方

法において、

各素子の不純物拡散領域にコンタクトする第1配線層を形成する工程、

前記第1配線層を覆うようにシリコン窒化膜を形成する工程、

前記シリコン窒化膜上にポリイミド系絶縁膜を形成する工程、

前記ポリイミド系絶縁膜の表面にホトレジストパターンを形成する工程、

前記ホトレジストパターンをマスクとして前記ポリイミド系絶縁膜を等方エッチングする工程、

前記ホトレジストパターンを除去しバーニングされた前記ポリイミド系絶縁膜をマスクとして前記シリコン窒化膜を異方エッチングする工程、

前記ポリイミド系絶縁膜上を延在し前記ポリイミド系絶縁膜と前記シリコン窒化膜の開口を介して前記第1配線層と接続する第2配線層を形成する工程とを具備することを特徴とする半導体集積回路の製造方法。

(4) 前記半導体集積回路はバイポーラ型素子と

M I S 型素子を共存したものであることを特徴とする請求項第3項に記載の半導体集積回路の製造方法。

(5) 前記ホトレジストはネガ型レジストであり且つ前記シリコン空化膜の異方エッティングはプラズマエッチ又はR I E (リアクティブ・イオン・エッティング)であることを特徴とする請求項第3項に記載の半導体集積回路の製造方法。

(6) 前記ポリイミド系絶縁膜はスピンドル塗布による形成であることを特徴とする請求項第3項に記載の半導体集積回路。

(7) 前記ポリイミド系絶縁膜は前記ホトレジストの除去後にハードベークされ、そして前記シリコン空化膜の開口を行うことを特徴とする請求項第3項に記載の半導体集積回路の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、一つの半導体基板に少なくともM I S型素子を集積化した半導体集積回路に関し、特にその多層配線技術に関するものである。

各素子の不純物拡散領域にオーミックコンタクトする第1配線層、(16)は層間絶縁膜、(17)は第2配線層である。

M O S型トランジスタを含む半導体集積回路の場合、M O S部のコンタミブロッキング性等の点でバッシベーションがシビアになる。そのため、従来の層間絶縁膜(16)はP S G等の酸化膜が利用され、最後にS i N膜でバッシベーションを行っていた。また、P S G等では段差の平坦化が困難であるので、無機系絶縁膜(S O G)(18)による平坦化が行われていた。

(ハ) 発明が解決しようとする課題

しかしながら、S O G(Spin On Glass)(18)による平坦化には限度があり、そのため工程の複雑化や信頼性の低下を招く欠点があった。

そこで本願発明者は、層間絶縁膜(16)として平坦性に優れ、バイポーラ型I Cでの実績が高いポリイミド樹脂系絶縁膜を用いることを思案した。ところが、ポリイミド樹脂だけではM O S部のコンタミブロッキング性に乏しく装置全体の信頼性

(ロ) 従来の技術

半導体集積回路には、一つの半導体基板にバイポーラトランジスタ、PチャンネルM I S F E T、NチャンネルM I S F E Tの夫々を設けたものがある(例えば、特開平1-245553号公報)。

このような半導体集積回路の断面図を第3図に示す。同図において、(1)はP型半導体基板、(2)は基板(1)全面に積層して形成したN型エピタキシャル層、(3)は基板(1)表面に形成したN⁺型埋込層、(4)は基板(1)表面に形成したP⁺型埋込層、(5)はP⁺型分離領域、及び(6)はフィールド酸化膜、(7)はN P Nトランジスタ(8)のP型ベース領域、(9)は同じくN P Nトランジスタ(8)のN⁺型エミッタ領域、(10)はN⁺型コレクタコンタクト領域、(11)はNチャンネル型M O Sトランジスタ(12)のP型ウェル領域、(13)はNチャンネル型M O Sトランジスタ(12)のN型ソース・ドレイン領域、(14)はゲート電極である。尚、Pチャンネル型M O Sトランジスタは記載していない。(15)は

を損なう欠点があった。

(ニ) 課題を解決するための手段

本発明は上記従来の欠点に鑑み成されたもので、バイポーラ型素子とM I S型素子とを共存した半導体集積回路において、第1配線層(36)を覆うシリコン空化膜(39)と、シリコン空化膜(39)を覆うポリイミド系絶縁膜(40)と、ポリイミド系絶縁膜(40)の表面を延在し第1配線層(36)と接続される第2配線層(38)とを具備することにより、ポリイミド系絶縁膜(40)の使用を可能ならしめた半導体集積回路を提供するものである。

また、シリコン空化膜(39)とポリイミド系絶縁膜(40)を積層して層間絶縁膜(37)としたのに伴い、ポリイミド系絶縁膜(40)を開口しこのポリイミド系絶縁膜(40)をマスクとしてシリコン空化膜(39)を開口するようなプロセスとすることにより、前記積層構造の層間絶縁膜(37)に微細なスルーホール(41)を形成できる半導体集積回路の製造方法を提供するものである。

(*) 作用

本発明によれば、スルーホール(41)の開口部を除き基板(21)全面をシリコン空化膜(39)で覆うことができるので、MOS部に対して十分なバッシャーション効果を与えることができる。また、シリコン空化膜(39)上にポリイミド系絶縁膜(40)を形成したので、第1配線層(36)又はゲート電極(31)等による段差を十分に平坦化できる。さらに、ポリイミド系絶縁膜(40)をマスクとしてシリコン空化膜(39)をエッティングするような工程としたので、微細化し且つ側面をテープ形状としたスルーホール(41)を形成できる。

(a) 実施例

以下に本発明の一実施例を図面を参照して詳細に説明する。

第1図は本発明による半導体集積回路の断面を示す。同図において、(21)はP型シリコン半導体基板、(22)は基板(21)全面にエピタキシャル成長して形成したN⁻型エピタキシャル層、(23)はエピタキシャル層(22)を貫通し素子間分離を行うP⁺型分離領域、(24)は分離領域(23)によって島状に

形成された島領域、(25)は選択酸化法によって得られたLOCOS酸化膜である。(26)はNPNトランジスタ(27)のP型ベース領域、(28)はNPNトランジスタ(27)のN⁺型エミッタ領域、(29)はNPNトランジスタ(27)のN⁺型コレクタコンタクト領域、(30)はNPNトランジスタ(27)の底部に埋め込まれたN⁺型の埋め込み層である。(31)はNch-MOSFET(32)のゲート電極、(33)はNch-MOSFET(32)のN⁺型ソース・ドレイン電極、(34)はNch-MOSFET(32)のP型ウェル領域、(35)はNch-MOSFET(32)の底部に埋め込まれたP⁺型の埋め込み層である。尚、図示しないがPch-MOSFETはN⁻型エピタキシャル層(22)の表面にゲート電極とP型ソース・ドレインを設けて形成される。ゲート電極(31)は不純物をドープしたポリシリコン層から成り、このポリシリコン層はゲート電極(31)として用いられる他、ゲート電極(31)の相互接続や抵抗素子としても用いられるものである。

エピタキシャル層(22)表面に形成された個々の

素子は、電極配線によって相互接続され所定の回路機能を構成する。その電極配線は、先ず各素子の不純物拡散領域とコンタクトホールを介してオーミックコンタクトし酸化膜上を延在する第1配線層(36)と、第1配線層(36)とは層間絶縁膜(37)によって層間絶縁される第2配線層(38)とで形成される。電極材料にはAl又はAl-Siが用いられる。層間絶縁膜(37)は、第1配線層(36)やゲート電極(31)を覆うようにプラズマCVD法によって形成した膜厚数千Åのシリコン空化膜(39)と、シリコン空化膜(39)の上にスピノン塗布法によって形成した膜厚1.0～2.0μのポリイミド系絶縁膜(40)との2層構成から成る。第2配線層(38)はポリイミド系絶縁膜(40)の上を延在し、第1配線層(36)と第2配線層(38)とは、層間絶縁膜(37)に開けられたスルーホール(41)を介して層間接続される。スルーホール(41)は、ポリイミド系絶縁膜(40)において側面がテープ形状を成して第2配線層(38)の断線防止とし、シリコン空化膜(39)においては垂直形状を成して微細コンタクトと

する。そして、最終バッシャーション被膜(42)には層間絶縁に用いたポリイミド系絶縁膜(40)と同系列のポリイミド樹脂をスピノン塗布して形成する。

上記本願の構成によれば、第1配線層(36)やゲート電極(31)の全面を覆うようにシリコン空化膜(39)が形成されるので、MOS素子のコンタミブロッキング等、素子に対して十分なバッシャーション効果を与えることができる。一方、シリコン空化膜(39)の上にはポリイミド系絶縁膜(40)がスピノン塗布されて第1配線層(36)やゲート電極(38)が発生する段差を平坦化するので、信頼性の高い多層配線構造とすることができます。

シリコン空化膜(39)の上にポリイミド系絶縁膜(40)を形成したのには様々な理由がある。先ず本願と逆にポリイミド系絶縁膜(40)の上にシリコン空化膜(39)を形成した場合は、ポリイミド樹脂によるプラズマCVD装置の汚染の問題が生じる。MOS型半導体装置では特に良質な膜質が要求されるから、前記製造装置の汚染は当然歩留り低下

の要因となる。さらに、ポリイミド樹脂の全面をシリコン空化膜(39)で覆うと、ポリイミド樹脂が発生するガスの逃げ場所が無くなつてシリコン空化膜(39)や第2配線層(38)の所謂「ふくれ」が発生し、配線不良となる問題が生じる。また、第1配線層(36)の下に形成した場合は、プロセスの煩雑化を招く他、信頼性の低下を招く。つまり、本願構成の積層構造とすることが、他の問題を全て解決する手段となるのである。従つて、配線層が3層、4層と増大した場合には、2層目と3層目の層間絶縁膜及び3層目と4層目の層間絶縁膜はポリイミド系絶縁膜(40)のみの単層構造で行う。

第2図A乃至第2図Fはその製造方法を示す断面図である。以下図面に従い製造方法を説明する。

先ず第2図Aに示す通り、各要素を形成する不純物拡散領域とゲート電極(31)の形成が終了したエビタキシャル層(22)表面の酸化膜を開口してコンタクトホールを形成し、Al又はAl-Siの蒸着又はスパッタによる堆積とバターニングにより、

各不純物拡散領域にオーミックコンタクトする第1配線層(36)を形成する。そして基板(21)全面に、プラズマCVD法による膜厚數千Åのシリコン空化膜(39)を堆積する。シリコン空化膜(39)自体に平坦化能力は無いので、シリコン空化膜(39)の表面は第1配線層(36)やゲート電極(31)の段差がそのまま反映されることになる。

次いで第2図Bに示す通り、シリコン空化膜(39)の上にスピノン塗布法により膜厚1.0~2.0μのポリイミド系絶縁膜(40)を形成する。塗布したポリイミド系絶縁膜(40)は、数百°C、數十分の低温熱処理でハードベークされる。ポリイミド系絶縁膜(40)の表面は、前記第1配線層(36)等の段差を吸収して平坦化される。

次いで第2図Cに示す通り、ポリイミド系絶縁膜(40)の表面にネガ型のホトレジストを塗布し、これを露光、現像することによってレジストバターン(43)を形成する。

次いで第2図Dに示す通り、レジストバターン(43)をマスクとしてポリイミド系絶縁膜(40)をヒ

ドラジン溶液によりウェットエッティングする。このウェットエッティングは等方性であるので、開口部(44)の側壁はテーパ形状を成す。ネガ型レジストは前記ヒドラジン溶液に対して耐性を有するので、正確なエッティングを処すことができる。ポジ型レジストでは前記ヒドラジン溶液に溶解してしまい、ポリイミド系絶縁膜(40)の膜厚を厚くできない。先の工程でネガ型レジストを使用した理由はここにある。

次いで第2図Eに示す通り、ネガ型レジストバターン(43)を除去した後、300~400°C、數十分の高温熱処理でポリイミド系絶縁膜(40)をハードベークし、バターニングされたポリイミド系絶縁膜(40)をマスクとしてCHF₃+O₂のRIE(リアクティブ・イオン・エッティング)シリコン空化膜(39)を異方エッティングする。異方エッティングによりシリコン空化膜(39)の側壁は垂直形状を成すので、第1配線層(36)との接続部は微細化コンタクトを得ることができる。レジストバターン(43)をマスクとせずポリイミド系絶縁膜(40)をマ

スクとしたのは、レジストバターン(43)のネガ型レジストがRIEに対して耐性に劣るためである。

そして第2図Fに示す通り、再度Al又はAl-Siの堆積とバターニングによって、第1配線層(36)と層間接続される第2配線層(38)を形成する。

このように本願発明の製造方法によれば、ポリイミド系絶縁膜(40)をマスクとしてシリコン空化膜(39)をエッティングするような製法としたので、本願の積層層間絶縁膜(37)を極めて効率的にスルーホール加工することができる。また、ポリイミド系絶縁膜(40)は等方性エッティングによりテーパ形状、シリコン空化膜(39)は異方性エッティングにより垂直形状とすることができるので、ステップカバレージに優れ微細化コンタクトも実現できるスルーホール加工を行うことができる。さらに、ネガレジストを使用した場合は、前述した理由によりポリイミド系絶縁膜(40)を厚くできるので、表面の平坦化を容易に行うことができ、プロセスの簡略化を図れる他、信頼性の高い多層配線

構造とすることができます。

(+) 発明の効果

以上に説明した通り、本発明によれば、層間絶縁膜(37)としてシリコン空化膜(39)とポリイミド系絶縁膜(40)との積層構造としたので、MOS部のコンタミブロッキング等バッシャーベーション効果を維持しつつ、層間絶縁にポリイミド系絶縁膜(40)を利用できる利点を有する。そのため、極めて平坦な表面を得ることができ、これが信頼性の高い多層配線構造を提供できる利点を有する他、ポリイミド系絶縁膜(40)による平坦化は他のSOGやPSGリフロー等の平坦化手段よりプロセスが簡単であり、工程の単純化及びローコスト化が図れる利点を有する。

さらに本願の製造方法によれば、上記積層層間絶縁膜(37)に対してテープ形状と垂直形状とを組み合った形状のスルーホール(41)を形成できる利点を有する。そのため、前記多層配線構造の信頼性向上に寄与できる。また、レジストバターン(43)にネガ型レジストを用いた場合は、ポリイミド

系絶縁膜(40)のエッティング液に対して耐性を示すので、ポリイミド系絶縁膜(40)の膜厚を厚くすることができ、これが平坦性向上に寄与できる利点を有する。

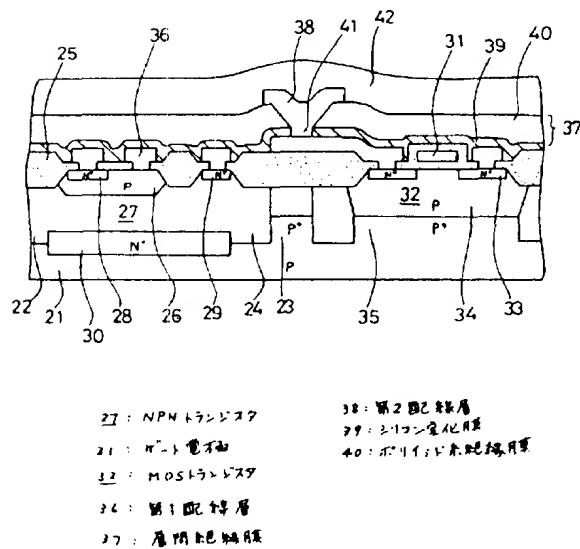
4. 図面の簡単な説明

第1図は本発明を説明する為の断面図、第2図A～第2図Fは本発明の製造方法を説明する為の断面図、第3図は従来例を説明する為の断面図である。

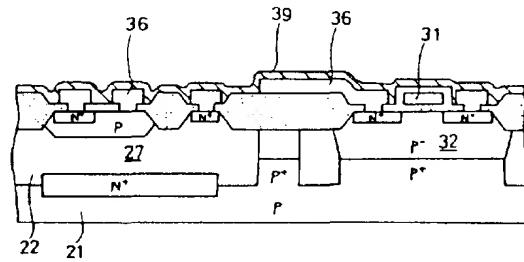
出願人 三洋電機株式会社

代理人 弁理士 西野卓嗣 外2名

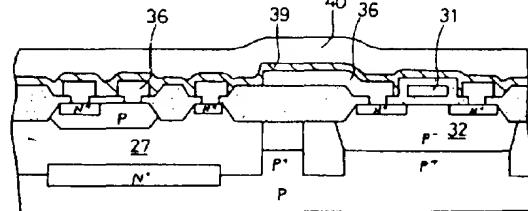
第1図



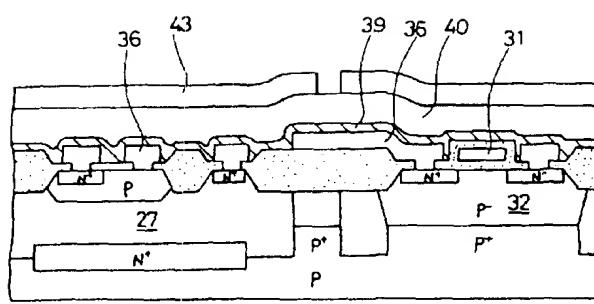
第2図A



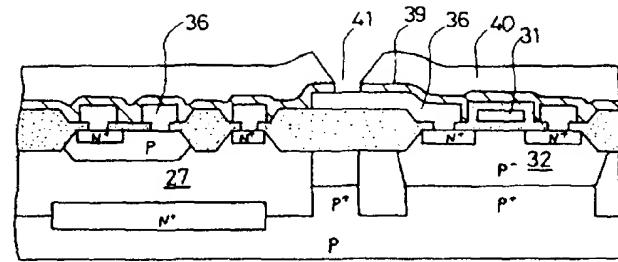
第2図B



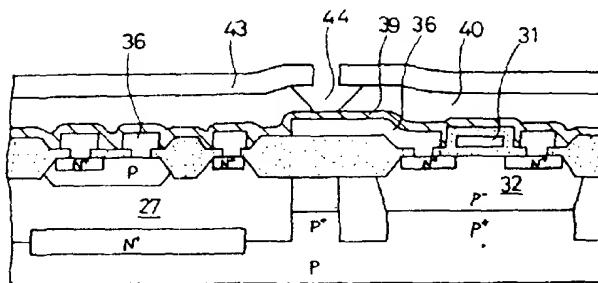
第2図C



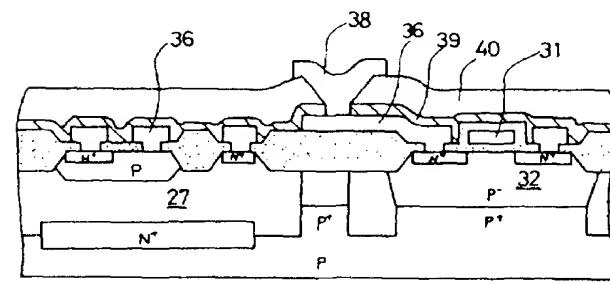
第2図E



第2図D



第2図F



第3図

